

版本更新说明		
版本号	更新日期	更新描述:
V1.0	2022.09.19	初始版本
V1.1	2022.11.28	更新封装, 更新硬件说明

电源接口:
 VPPWR: 充电输入, 带路径管理, 工作电压不超过6V;
 VBAT: 电池供电接口, 不超过5V;
 IOVDD: 内部LDO输出, GPIO逻辑电压;
 VSS: 数字地

模拟音频接口:
 DACLR: 模拟音频输出
 VCMO: 直驱耳机公共端 (耳机负载)
 AINLR: 模拟Incert输入 (纯模拟通路)
 MIC0: 麦克风模拟输入 (支持音频ADC采样)
 MICLDO: 麦克风供电输出
 AVSS: 音频模拟地

特殊功能IO:
 ADC: 10bit ADC输入通道;
 USBMDP: USB1.1信号
 RESET: 默认长按复位
 SDPG: SD卡供电输出
 ROSC: RTC 32.768kHz晶体接口

产品设计安全规范:
 1. VPPWR, VBAT, IOVDD的电容必须保证质量和容量, 电容耐压值应大于工作电压一倍以上;
 2. 锂电池方案必须带保护, 如果电池不带保护, 硬件设计需加过流保护电路;
 3. 外路接口和后物料: USB座, SD卡, Incer插座, 充电输入, 电池等, 做好静电和浪涌保护措施, 整机ESD应符合最低标准, 接触<4K, 空气<8K.

设计注意事项:
 1. 主控IC内置锂电池充电管理 (Batc 120mA@VPPWR-4.6V), VPPWR输入集成路径管理, VBAT供电时, VPPWR输入可供系统正常工作;
 2. VBAT输入电压<5V, VPPWR输入电压<6V, VPPWR不做充电输入时可做GPIO功能;
 3. IOVDD3.3V/100mA@0.3Vdrop常输出状态, 电压档位可调, 软件无法关闭 (软件方案注意避免漏电流);
 4. IOVDD必须连接去耦电容接VSS, Incer时必须保证去耦电容良好的去耦路径, 必要时可以适当增加IOVDD的电容容量;
 4. GPIO的电压输入范围: VSS ≤ Vi ≤ IOVDD, 超出范围有损坏风险;
 5. 所有GPIO都支持三态输出和内置上下拉电阻配置, 可配置唤醒中断功能, 同时支持多达12路唤醒IO;
 6. PA0的MICLDO功能为麦克风供电输出, 可软件配置电压输出档位;
 7. PC的SDPG功能为SD卡供电输出, I_max ≤ 40mA, R_DS(on) ≤ 2Ω@IOVDD=3.2V, 软件可关闭;
 8. PA8默认长按复位, VPPWR支持长按复位检测, 长按复位时间最长可配置16s, 复位功能可屏蔽;
 9. 支持重映射的外设接口: SDIO, SPI(), I2C, UART0&(), PWM, Qdec, IRDA, 可映射到任意IO;
 10. 集成FullSpeed USB接口, USBDM和DP可做GPIO使用, 休眠状态下只支持输入状态;
 11. MIC0支持TPGA: 模拟输入阈值<3Vpp, Audio ADC采样;
 12. AINLR模拟输入阈值<2Vpp, 纯模拟通路输出到DAC, Incer需要ADC采样时, 可输入到MIC0;
 13. DAC输出方式如下:
 ① DACLR to DACR差分, 可直推耳机;
 ② DACLR to VCMO直推耳机;
 ③ DACLR to AVSS隔直立体声, 可隔直推耳机;
 ④ 单声道方案优先用DACLR;
 14. AVSS音频地BVSSS数字地必须短接, 外置功放时请参考原理图中备注;
 15. 必要节点: VBAT/VPPWR, USBDM, USBDP, VSS;
 16. 开发和量产, 芯片必须使用H22编写校验, flash方案支持USB升级;
 17. IO分配时, MIC, AUX和DAC等模拟信号必须远离PWM, CLK, DAT等数字翻转信号, 避免相邻干扰.

